

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-341036

(43)Date of publication of application : 22.12.1998

(51)Int.Cl. H01L 33/00
H01L 21/20
H01L 21/338
H01L 29/812
H01S 3/18

(21)Application number : 10-075295

(71)Applicant : MATSUSHITA ELECTRON
CORP

(22)Date of filing : 24.03.1998

(72)Inventor : HASHIMOTO TADAO
YURI MASAOKI
KONDO OSAMU
ISHIDA MASAHIRO

(30)Priority

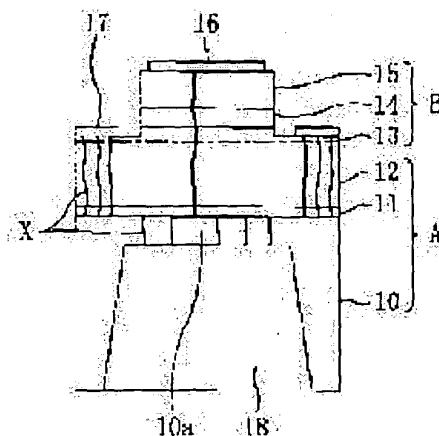
Priority number : 09 90675 Priority date : 09.04.1997 Priority country : JP

(54) SEMICONDUCTOR SUBSTRATE, SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To greatly reduce dislocations which pierce a compd. semiconductor crystal layer formed on a substrate.

SOLUTION: A substrate A for a light emitting diode comprises a sapphire substrate 10, an undoped GaN buffer layer 11 formed thereon, and an n-type compd. semiconductor crystal layer 12 formed thereon. A device structure B of the light emitting diode comprises a first n-type GaN clad layer 13 having p-type electrodes 17 thereon, an undoped $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ active layer 14 and a second p-type GaN clad layer 15 having n-type electrodes 16 thereon, formed in this order on the crystal layer 12. Trapezoidal recesses 18 are formed at regions facing the electrodes 16 on the substrate 10, and an upper part 10a of each recess 18 has a



thickness which is not greater than that of the first clad layer 13.

LEGAL STATUS

[Date of request for examination] 15.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

MENU	SEARCH	INDEX	DETAIL	JAPANESE
----------------------	------------------------	-----------------------	------------------------	--------------------------

1 / 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-341036

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁸ 識別記号

H 0 1 L 33/00
21/20
21/338
29/812
H 0 1 S 3/18

F I

H 0 1 L 33/00
21/20
H 0 1 S 3/18
H 0 1 L 29/80

C

B

審査請求 未請求 請求項の数16 O L (全 18 頁)

(21) 出願番号 特願平10-75295

(22) 出願日 平成10年(1998) 3月24日

(31) 優先権主張番号 特願平9-90675

(32) 優先日 平 9 (1997) 4 月 9 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 橋本 忠朗

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 油利 正昭

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 今藤 修

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

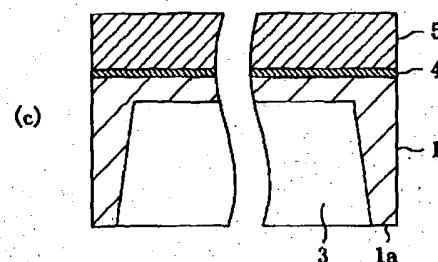
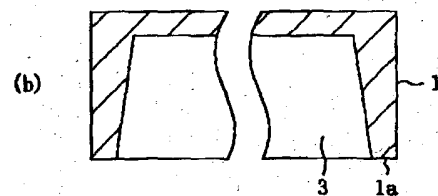
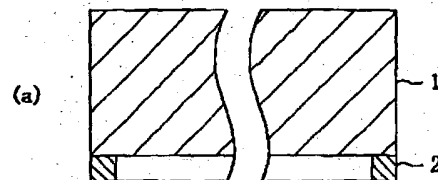
最終頁に続く

(54) 【発明の名称】 半導体基板、半導体素子及びそれらの製造方法

(57) 【要約】

【課題】 基板の上に形成されている化合物半導体結晶層に発生する貫通転位を大きく低減する。

【解決手段】 サファイア基板10と、該サファイア基板10の上に形成されたアンドープGaNよりなるバッファ層11及びn型GaNよりなる化合物半導体結晶層12とによって発光ダイオードの基板Aが構成されている。化合物半導体結晶層12の上に順次形成された、n型GaNよりなる第1のクラッド層13、アンドープIn_{0.2}Ga_{0.8}Nよりなる活性層14及びp型GaNよりなる第2のクラッド層15によって発光ダイオードの素子構造Bが構成されている。第2のクラッド層15の上にはp型電極16が形成されており、第1のクラッド層13の上にはn型電極17が形成されている。サファイア基板10におけるp型電極16と対向する領域には、台形状の断面を有する凹状部18が形成されており、サファイア基板10における凹状部18の上側部分10aの厚さは第1のクラッド層13の厚さと同程度以下である。



【特許請求の範囲】

【請求項1】 ウエハ状の板状結晶と、前記板状結晶の上側に形成され、前記板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層とを備えた半導体基板であって、

前記板状結晶の下面に、前記板状結晶における各素子形成領域の厚さが全面に亘って前記化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備えていることを特徴とする半導体基板。

【請求項2】 ウエハ状の板状結晶の下面に凹部を形成する凹部形成工程と、

前記板状結晶の上側に、前記板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を形成する結晶層形成工程とを備え、

前記凹部形成工程は、前記凹部を、前記板状結晶における各素子形成領域の厚さが全面に亘って前記化合物半導体結晶層の厚さと同程度以下になるように形成する工程を含むことを特徴とする半導体基板の製造方法。

【請求項3】 前記結晶層形成工程の後に、前記板状結晶を除去する板状結晶除去工程をさらに備えていることを特徴とする請求項2に記載の半導体基板の製造方法。

【請求項4】 板状結晶及び前記板状結晶の上側に形成され前記板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、前記基板の上に形成された素子構造とを備えた半導体素子であって、前記板状結晶の下面に、前記板状結晶の中央部の厚さが前記化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備えていることを特徴とする半導体素子。

【請求項5】 前記素子構造の上側に設けられた電圧印加用の電極をさらに備え、前記凹部の底面は前記電極よりも大きいことを特徴とする請求項4に記載の半導体素子。

【請求項6】 前記板状結晶は、結晶層よりなる平板状の基部と、前記基部の下面の周縁部に形成され、前記基部に対してエッチング選択性を持つ材料よりなる枠状部とを有していることを特徴とする請求項4に記載の半導体素子。

【請求項7】 前記板状結晶は、結晶層よりなる平板状の基部と、前記基部の下面の両側部に形成され、前記基部に対してエッチング選択性を持つ材料よりなる側部とを有していることを特徴とする請求項4に記載の半導体素子。

【請求項8】 板状結晶及び前記板状結晶の上側に形成され前記板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、前記基板の上に形成された素子構造とを備えた半導体素子であって、前記板状結晶の厚さは、前記化合物半導体結晶層の厚さと同程度以下であることを特徴とする半導体素子。

【請求項9】 前記板状結晶は、板状体と、前記板状体

の上に形成され前記板状体と異なる材料よりなる結晶層とを有していることを特徴とする請求項8に記載の半導体素子。

【請求項10】 前記化合物半導体結晶層は、 $A_1XGa_yIn_{1-x-y}N$ ($0 \leq X \leq 1$, $0 \leq y \leq 1$) で表される窒化物系化合物よりなることを特徴とする請求項4又は8に記載の半導体素子。

【請求項11】 板状結晶及び前記板状結晶の上側に形成され前記板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、前記基板の上に形成された素子構造とを備えた半導体素子の製造方法であって、

ウエハ状の板状結晶の各素子形成領域の下面に、各素子形成領域の中央部の厚さが前記板状結晶の上側に形成される前記化合物半導体結晶層の厚さと同程度以下になるように凹部をそれぞれ形成する凹部形成工程と、

前記板状結晶の上側に前記化合物半導体結晶層を形成して、前記板状結晶及び化合物半導体結晶を有する半導体基板を形成する結晶層形成工程と、

前記半導体基板の各素子形成領域の上に前記素子構造をそれぞれ形成する素子構造形成工程と、

前記半導体基板を切断して前記半導体素子を形成する切断工程とを備えていることを特徴とする半導体素子の製造方法。

【請求項12】 前記凹部形成工程は、板状体の上に該板状体に対してエッチング選択性を持つ結晶層よりなる平板状の基部を形成する工程と、前記板状体に対して該板状体の周縁部が残存するように選択的エッチングを行なって、前記基部の下面に前記板状体よりなる枠状部を形成する工程とを含むことを特徴とする請求項11に記載の半導体素子の製造方法。

【請求項13】 前記凹部形成工程は、板状体の上に該板状体に対してエッチング選択性を持つ結晶層よりなる平板状の基部を形成する工程と、前記板状体に対して該板状体の両側部が残存するように選択的エッチングを行なって、前記基部の下面に前記板状体よりなる側部を形成する工程とを含むことを特徴とする請求項11に記載の半導体素子の製造方法。

【請求項14】 前記結晶層形成工程と前記素子構造形成工程との間に、前記化合物半導体結晶層に対して熱処理を行なって、前記化合物半導体結晶層に形成されている貫通転位を前記板状結晶に移動させる熱処理工程をさらに備えていることを特徴とする請求項11に記載の半導体素子の製造方法。

【請求項15】 板状結晶及び前記板状結晶の上側に形成され前記板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、前記基板の上に形成された素子構造とを備えた半導体素子の製造方法であって、

ウエハ状の板状結晶の下面に、前記板状結晶における各

素子形成領域の厚さが全面に亘って前記板状結晶の上側に形成される前記化合物半導体結晶層の厚さと同程度以下になるように凹部を形成する凹部形成工程と、前記板状結晶の上側に前記化合物半導体結晶層を形成して、前記板状結晶及び化合物半導体結晶層を有する半導体基板を形成する結晶層形成工程と、前記半導体基板の各素子形成領域の上に前記素子構造をそれぞれ形成する素子構造形成工程と、前記半導体基板を切断して前記半導体素子を形成する切断工程とを備えていることを特徴とする半導体素子の製造方法。

【請求項16】 前記結晶層形成工程と前記素子構造形成工程との間に、前記化合物半導体結晶層に対して熱処理を行なって、前記化合物半導体結晶層に形成されている貫通転位を前記板状結晶に移動させる熱処理工程をさらに備えていることを特徴とする請求項15に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ウェハ状の板状結晶と該板状結晶の上側に形成された化合物半導体結晶層とを備えた半導体基板及びその製造方法、並びに、光ディスクのピックアップ等の光源として用いられる半導体レーザ素子、ディスプレイデバイス等の光源として用いられる発光ダイオード、電界効果トランジスタ等の半導体素子及びその製造方法に関する。

【0002】

【従来の技術】近年、GaN、InN、AlN等の窒化物系化合物半導体は、直接遷移型であり且つ広いエネルギーギャップを有しているので、短波長光源や耐環境デバイスの材料として脚光を浴びている。例えば、GaNは室温で約3.4eVの大きいエネルギーギャップを有しているので、青色領域から紫外領域まで光を出射する発光素子の有望な材料である。

【0003】窒化物系化合物半導体結晶の成膜には、一般的に有機金属気相蒸着法（以下、MOCVD法という）が用いられる。例えばGaN結晶を成膜する場合には、原料としてトリメチルガリウムとアンモニアを用い、高温に加熱された基板上に、トリメチルガリウムが分解して得られるGaとアンモニアが分解して得られるNとを付着させることにより、GaNの単結晶膜を成長させる。

【0004】現在、窒化物系化合物半導体結晶を成膜させるための基板としてはサファイア基板が一般的に利用されている。

【0005】しかしながら、サファイア基板においては、a軸方向及びc軸方向の格子定数がそれぞれ4.76Å及び12.99Åであるのに対して、GaN結晶においては、a軸方向及びc軸方向の格子定数はそれぞれ3.19Å及び5.19Åである。このように、サファ

イア基板とGaN結晶との間には、大きな格子不整合（Lattice Mismatch）が存在するため、MOCVD法による膜成長中に、サファイア基板とGaN結晶との界面からGaN結晶の内部に向かって $1 \times 10^{10} \text{cm}^{-2}$ よりも多数の貫通転位（Threading Dislocation）が発生する。

【0006】また、サファイア基板とGaN結晶とは熱膨張係数が異なるため、MOCVD法における、室温と1000℃以上の高温との間での昇温又は降温過程で、GaN結晶の内部において貫通転位が成長したり貫通転位に起因するクラックが発生したりする。

【0007】貫通転位は、非発光な再結合の中心となったりキャリアを捕獲したりするため、発光ダイオードの性能向上の妨げになる。また、多数の貫通転位が発生しているGaN結晶を用いて発光ダイオードを作製した場合には、リーク電流が発生したり、量子効率の低下に伴う発光不良又は素子破壊が起こる。特に半導体素子の発光部に貫通転位が発生する場合には、半導体素子の破壊が加速的に進行するので素子寿命の著しい低下が起こる。

【0008】そこで、現在、貫通転位を減少させるために広く採用されている手段は、サファイア基板とGaN結晶との間にバッファ層を介在させる方法である。この方法によると、バッファ層によってサファイア基板とGaN結晶との格子不整合によるストレスが緩和されるので、GaN結晶内における貫通転位の発生を抑制できると共に、バッファ層によって昇温又は降温過程における熱膨張係数の相違に伴うストレスが緩和されるので、GaN結晶内における貫通転位の成長及びクラックの発生を抑制できるとされている。

【0009】また、特開平4-297023号公報においては、サファイア基板とGaN結晶との間にGaN層よりなるバッファ層を形成すると貫通転位の抑制に大きな効果が得られる旨、及びこの技術を用いて発光ダイオードを作製した場合には、従来の発光ダイオードの10倍以上の輝度が得られる旨が記載されている。

【0010】以下、特開平4-297023号公報に記載されている、サファイア基板とGaN結晶との間にGaN層よりなるバッファ層を有する発光ダイオードについて図15を参照しながら説明する。

【0011】図15に示すように、発光ダイオードは、サファイア基板100上にアンドープGaNよりなるバッファ層101及びダブルヘテロ接合構造を有する素子構造102が順次積層されている。素子構造102は、第1のクラッド層となるn型GaN層103、活性層となるアンドープIn_{0.2}Ga_{0.8}N層104及び第2のクラッド層となるp型GaN層105が順次積層された構造であって、該素子構造102はn型GaN層103の途中に達するまでドライエッチングにより部分的に除去されている。p型GaN層105の上にはp型電極106

が形成されていると共に、n型Ga_{0.9}N_{0.1}層103におけるエッチングされた部分にはn型電極107が形成されている。尚、サファイア基板100の厚さは150 μ mであり、素子構造102の厚さは50 μ mである。

【0012】

【発明が解決しようとする課題】ところで、本件発明者らが特開平4-297023号公報に記載されている方法によって発光ダイオードを製造してみると、サファイア基板100と素子構造102との間にバッファ層101が介在しているため、素子構造102における貫通転位及びクラックの発生は抑制されたが、それでも1 \times 10¹⁰cm⁻²程度の貫通転位は依然として存在した。

【0013】このように、サファイア基板100と素子構造102との間にバッファ層101が介在すると、貫通転位及びクラックの発生を抑制できるが、その抑制効果は限定的であるという問題がある。

【0014】前記に鑑み、本発明は、素子構造における貫通転位及びクラックの発生を大きく低減できる半導体基板を実現することを第1の目的とし、板状結晶の上に形成されている化合物半導体結晶層ひいては該化合物半導体結晶層の上に形成される素子構造に発生する貫通転位及びクラックを大きく低減できる半導体素子を実現することを第2の目的とする。

【0015】

【課題を解決するための手段】本件発明者らは、サファイア基板100とバッファ層101との界面との界面から素子構造102に向かう多数の貫通転位のうちの一部を、サファイア基板100とバッファ層101との界面からサファイア基板100側に向かわせるならば、素子構造102において発生する貫通転位を低減できるのではないかと考えた。

【0016】そして、サファイア基板100とバッファ層101との界面からサファイア基板100側に向かう貫通転位を発生させる方策について種々検討を加えた結果、サファイア基板100の厚さをn型Ga_{0.9}N_{0.1}層103の厚さよりも小さくすると、界面からサファイア基板100側に向かう貫通転位が発生し、これに伴って、界面からn型Ga_{0.9}N_{0.1}層103に向かう貫通転位を低減できることを見出した。

【0017】また、前記のようにして得られたサファイア基板100及びn型Ga_{0.9}N_{0.1}層103を基板とし、該基板の上に素子構造を形成すると、素子構造における貫通転位が減少する半導体素子を実現できることを見出した。

【0018】本発明は、前記の知見に基づいてなされたものであって、具体的には以下の構成によって実現される。尚、以下の説明においては、半導体基板とはウェハ状の板を意味し、単に基板とは半導体チップを構成する板を意味する。

【0019】本発明に係る半導体基板は、ウェハ状の板

状結晶と、板状結晶の上側に形成され、板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層とを備えた半導体基板を対象とし、板状結晶の下面に、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備えている。

【0020】本発明の半導体基板によると、ウェハ状の板状結晶の下面に、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備えているため、本発明の半導体基板の各素子形成領域の上に素子構造を形成すると、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下である半導体素子を製造することができる。

【0021】本発明に係る半導体装置の製造方法は、ウェハ状の板状結晶の下面に凹部を形成する凹部形成工程と、板状結晶の上側に、板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を形成する結晶層形成工程とを備え、凹部形成工程は、凹部を、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように形成する工程を含む。

【0022】本発明の半導体基板の製造方法によると、ウェハ状の板状結晶の下面に、凹部を、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように形成する工程を備えているため、本発明の半導体基板の製造方法によって得られた半導体基板の各素子形成領域の上に素子構造を形成すると、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下である半導体素子を製造することができる。

【0023】本発明の半導体基板の製造方法は、結晶層形成工程の後に、板状結晶を除去する板状結晶除去工程をさらに備えていることが好ましい。

【0024】本発明に係る第1の半導体素子は、板状結晶及び板状結晶の上側に形成され板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、基板の上に形成された素子構造とを備えた半導体素子を対象とし、板状結晶の下面に、板状結晶の中央部の厚さが化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備えている。

【0025】第1の半導体素子によると、板状結晶の中央部の厚さが化合物半導体結晶層の厚さと同程度以下であるため、板状結晶と化合物半導体結晶層との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みは板状結晶にも負担されるので、板状結晶の内部に貫通転位が発生する。

【0026】第1の半導体素子が、素子構造の上側に設けられた電圧印加用の電極を備えている場合には、凹部の底面は電極よりも大きいことが好ましい。

【0027】第1の半導体素子において、板状結晶は、結晶層よりなる平板状の基部と、基部の下面の周縁部に形成され、基部に対してエッチング選択性を持つ材料よりなる枠状部とを有していることが好ましい。

【0028】第1の半導体素子において、板状結晶は、結晶層よりなる平板状の基部と、基部の下面の両側部に形成され、基部に対してエッチング選択性を持つ材料よりなる側部とを有していることが好ましい。

【0029】本発明に係る第2の半導体素子は、板状結晶及び板状結晶の上側に形成され板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、基板の上に形成された素子構造とを備えた半導体素子を対象とし、板状結晶の厚さは、化合物半導体結晶層の厚さと同程度以下である。

【0030】第2の半導体素子によると、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下であるため、板状結晶と化合物半導体結晶層との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みは板状結晶にも負担されるので、板状結晶の内部に貫通転位が発生する。

【0031】第2の半導体素子において、板状結晶は、板状体と、板状体の上に形成され板状体と異なる材料よりなる結晶層とを有していることが好ましい。

【0032】第1又は第2の半導体素子において、化合物半導体結晶層は、 $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}_{1-x-y}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) で表される窒化物系化合物よりなることが好ましい。

【0033】本発明に係る第1の半導体素子の製造方法は、板状結晶及び板状結晶の上側に形成され、板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、基板の上に形成された素子構造とを備えた半導体素子の製造方法を対象とし、ウェハ状の板状結晶の各素子形成領域の下面に、各素子形成領域の中央部の厚さが板状結晶の上側に形成される化合物半導体結晶層の厚さと同程度以下になるように凹部をそれぞれ形成する凹部形成工程と、板状結晶の上側に化合物半導体結晶層を形成して、板状結晶及び化合物半導体結晶層を有する半導体基板を形成する結晶層形成工程と、半導体基板の各素子形成領域の上に素子構造をそれぞれ形成する素子構造形成工程と、半導体基板を切断して半導体素子を形成する切断工程とを備えている。

【0034】第1の半導体素子の製造方法によると、板状結晶の各素子形成領域の下面に、各素子形成領域の中央部の厚さが板状結晶の上側に形成される化合物半導体結晶層の厚さと同程度以下になるように凹部を形成した後、板状結晶の上側に化合物半導体結晶層を形成して半導体基板を形成し、次に、半導体基板の上に素子構造を形成した後、半導体基板を切断して半導体素子を形成するので、板状結晶の下面に、板状結晶の中央部の厚さが化合物半導体結晶層の厚さと同程度以下になるように形

成された凹部を備える半導体素子を製造することができる。

【0035】第1の半導体素子の製造方法において、凹部形成工程は、板状体の上に該板状体に対してエッチング選択性を持つ結晶層よりなる平板状の基部を形成する工程と、板状体に対して該板状体の周縁部が残存するように選択的エッチングを行なって、基部の下面に板状体よりなる枠状部を形成する工程とを含むことが好ましい。

【0036】第1の半導体素子の製造方法において、凹部形成工程は、板状体の上に該板状体に対してエッチング選択性を持つ結晶層よりなる平板状の基部を形成する工程と、板状体に対して該板状体の両側部が残存するように選択的エッチングを行なって、基部の下面に板状体よりなる側部を形成する工程とを含むことが好ましい。

【0037】第1の半導体素子の製造方法は、結晶層形成工程と素子構造形成工程との間に、化合物半導体結晶層に対して熱処理を行なって、化合物半導体結晶層に形成されている貫通転位を板状結晶に移動させる熱処理工程をさらに備えていることが好ましい。

【0038】本発明に係る第2の半導体素子の製造方法は、板状結晶及び板状結晶の上側に形成され板状結晶の格子定数と異なる格子定数を持つ化合物半導体結晶層を有する基板と、基板の上に形成された素子構造とを備えた半導体素子の製造方法を対象とし、ウェハ状の板状結晶の下面に、板状結晶における各素子形成領域の厚さが全面に亘って板状結晶の上側に形成される化合物半導体結晶層の厚さと同程度以下になるように凹部を形成する凹部形成工程と、板状結晶の上側に化合物半導体結晶層を形成して板状結晶及び化合物半導体結晶層を有する半導体基板を形成する結晶層形成工程と、半導体基板の各素子形成領域の上に素子構造をそれぞれ形成する素子構造形成工程と、半導体基板を切断して半導体素子を形成する切断工程とを備えている。

【0039】第2の半導体素子の製造方法によると、ウェハ状の板状結晶の下面に、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように凹部を形成した後、板状結晶の上側に化合物半導体結晶層を形成して半導体基板を形成し、次に、半導体基板の上に素子構造を形成した後、半導体基板を切断して半導体素子を形成するため、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下である半導体素子を製造することができる。

【0040】第2の半導体素子の製造方法は、結晶層形成工程と素子構造形成工程との間に、化合物半導体結晶層に対して熱処理を行なって、化合物半導体結晶層に形成されている貫通転位を板状結晶に移動させる熱処理工程をさらに備えていることが好ましい。

【0041】

【発明の実施の形態】

(第1の実施形態)以下、本発明の第1の実施形態として、発光ダイオード、半導体レーザー素子又は電界効果トランジスタ等の半導体素子を形成するための半導体基板及びその製造方法について、図1(a)～(c)、図2(a)、(b)及び図3(a)、(b)を参照しながら説明する。

【0042】まず、図1(a)に示すように、例えば $300\mu\text{m}$ の厚さを有するウエハ状の板状結晶としてのサファイア基板1の下面における素子形成領域以外の領域に、例えばニッケル等の金属よりなり $20\mu\text{m}$ の厚さを有するマスク2を真空蒸着法によって形成した後、サファイア基板1の下面を、例えば水素ガスと塩化水素ガスとの混合ガスからなる圧力 1 Torr のエッチングガス雰囲気中に曝すと共に、例えば 600 V の放電電圧を印加することにより、図1(b)に示すように、サファイア基板1におけるマスク2に覆われていない部分をエッチングにより除去して、サファイア基板1の下面に凹状部3を形成すると共にサファイア基板1における凹状部3の上側部分を $50\mu\text{m}$ の厚さにする。従って、サファイア基板1における凹状部3以外の領域には、該サファイア基板1の強度を保つための凸状部1aが形成される。

【0043】サファイア基板1の凸状部1aの平面形状としては、図3(a)に示すように、サファイア基板1の周縁部に沿って延びるリング状の凸状部1aであってもよいし、図3(b)に示すように、サファイア基板1の周縁部に沿って延びると共に中央部で交差する凸状部1aであってもよいが、凸状部1aがサファイア基板1の素子形成領域1bに位置しないようにする。

【0044】次に、図1(c)に示すように、サファイア基板1の上面に、例えばMOCVD法によりアンドープGaNよりなる厚さ 30 nm のバッファ層4を形成した後、バッファ層4の上に、例えばクロライドVPE成長法(Chloride Vapour Phase Epitaxy)によりn型Ga_{0.2}Nよりなる厚さ $100\mu\text{m}$ の化合物半導体結晶層5を形成する。

【0045】次に、図2(a)に示すように、凹状部3を有するサファイア基板1を除去すると、バッファ層4及び化合物半導体結晶層5よりなる半導体基板が得られる。尚、バッファ層4を形成することなく、化合物半導体結晶層5よりなる半導体基板を形成してもよいのは当然である。

【0046】次に、図2(b)に示すように、半導体基板の化合物半導体結晶層5の上に例えばMOCVD法によりn型Ga_{0.2}Nよりなる厚さ $2\mu\text{m}$ の第1のクラッド層6を形成した後、第1のクラッド層6の上に、アンドープIn_{0.2}Ga_{0.8}Nよりなり厚さ 3 nm の活性層7及びp型Ga_{0.2}Nよりなる厚さ $1\mu\text{m}$ の第2のクラッド層8を順次形成すると、半導体基板の上に、第1のクラッド層6、活性層7及び第2のクラッド層8よりなる素子構造を形成することができる。

【0047】第1の実施形態に係る半導体基板によると、バッファ層4及び化合物半導体結晶層5よりなる半導体基板は、サファイア基板1を有していないため、サファイア基板1と化合物半導体結晶層5との間の格子定数の相違及び熱膨張係数の相違という問題が発生しないので、化合物半導体結晶層5の内部に発生する貫通転位が大きく減少する。このため、化合物半導体結晶層5の結晶性ひいては該化合物半導体結晶層5の上に形成される素子構造の結晶性が大きく向上する。

【0048】尚、凹状部3を有するサファイア基板1を除去することなく、凹状部3を有するサファイア基板1、バッファ層4及び化合物半導体結晶層5よりなる半導体基板の上に、第1のクラッド層6、活性層7及び第2のクラッド層8よりなる素子構造を形成してもよい。

【0049】このようにすると、サファイア基板1の下面に、サファイア基板1における各素子形成領域1bの厚さが全面に亘って化合物半導体結晶層5の厚さと同程度(化合物半導体結晶層5の厚さ $\pm 10\%$)になるように形成された凹状部3を備えているため、サファイア基板1と化合物半導体結晶層5との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みはサファイア基板1にも負担されるので、サファイア基板1の内部に貫通転位が発生する。このため、化合物半導体結晶層5において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるため、化合物半導体結晶層5の内部に発生する貫通転位が減少するので、化合物半導体結晶層5の結晶性ひいては該化合物半導体結晶層5の上に形成される素子構造の結晶性が向上する。

【0050】(第2の実施形態)以下、本発明の第2の実施形態に係る半導体素子としての発光ダイオードについて図4(a)及び(b)を参照しながら説明する。図4(a)及び(b)は、第2の実施形態に係る発光ダイオードを示しており、図4(a)は断面構造を示し、図4(b)は下面の平面構造を示している。

【0051】図4(a)に示すように、 $300\mu\text{m}$ の厚さを有するサファイア基板10の上に、アンドープGa_{0.2}Nよりなり 30 nm の膜厚を有するバッファ層11及びn型Ga_{0.2}Nよりなり $100\mu\text{m}$ の膜厚を有する化合物半導体結晶層12が形成されており、これらサファイア基板10、バッファ層11及び化合物半導体結晶層12によって発光ダイオードの基板Aが構成されている。

【0052】化合物半導体結晶層12の上には、n型Ga_{0.2}Nよりなり $2\mu\text{m}$ の膜厚を有する第1のクラッド層13、アンドープIn_{0.2}Ga_{0.8}Nよりなり 3 nm の膜厚を有する活性層14及びp型Ga_{0.2}Nよりなり $1\mu\text{m}$ の膜厚を有する第2のクラッド層15が順次形成されており、第1のクラッド層13、活性層14及び第2のクラッド層15によって発光ダイオードの素子構造Bが構成されている。この場合、素子構造Bは第1のクラッド層13の途中に達するまで部分的に除去されている。

【0053】第2のクラッド層15の上には例えばニッケルを含む金属多層膜よりなるp型電極16が形成されていると共に、第1のクラッド層13の上には例えばアルミニウムを含む金属多層膜よりなるn型電極17が形成されている。

【0054】第2の実施形態の特徴として、図4(a)及び(b)に示すように、サファイア基板10におけるp型電極16と対向する領域には、台形状の断面を有すると共に250 μ mの深さを有する凹状部18が形成されており、サファイア基板10における凹状部18の上側部分10aの厚さは50 μ mである。この場合、サファイア基板10における凹状部18の上側部分10aの大きさは、p型電極16の大きさよりも若干大きい。

【0055】第2の実施形態によると、サファイア基板10における凹状部18の上側部分10aの厚さ(50 μ m)は化合物半導体結晶層12の厚さ(100 μ m)に比べて小さくなっているため、サファイア基板10と化合物半導体結晶層12との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みはサファイア基板10にも負担されるので、サファイア基板10の内部に貫通転位が発生する。このため、化合物半導体結晶層12において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるため、化合物半導体結晶層12の内部に発生する貫通転位が減少するので、化合物半導体結晶層12の結晶性ひいては素子構造Bの結晶性が向上する。従って、第2の実施形態に係る発光ダイオードの輝度寿命は従来の発光ダイオードに比べて大きく増大する。

【0056】第2の実施形態に係る発光ダイオードの断面を透過型電子顕微鏡により観察した結果は図5に示すとおりであって、格子不整合による貫通転位Xはサファイア基板10及び化合物半導体結晶層12の両方に発生していると共に、化合物半導体結晶層12に発生している貫通転位Xは従来に比べて大きく減少していることを確認できた。このことから、サファイア基板10に貫通転位Xが発生することによって、化合物半導体結晶層12に発生する貫通転位Xが減少することも確認できた。

【0057】第2の実施形態に係る発光ダイオードにおいては、化合物半導体結晶層12に発生した貫通転位の数は 1×10^6 cm⁻²であって、従来の発光ダイオードに比べて1/10000に減少している。

【0058】また、第2の実施形態に係る発光ダイオードのピーク波長は450nm、輝度は6cd、室温で動作させたときの寿命は5万時間以上であって、従来の発光ダイオードに比べて2倍以上の輝度及び2倍以上の寿命であった。

【0059】尚、第2の実施形態においては、化合物半導体結晶層12及び第1のクラッド層13としては、n型GaNよりなる層に代えて、n型Al_xGa_{1-x}In_yN (0 \leq X \leq 1, 0 \leq y \leq 1)よりなる層を用い

てもよいし、第2のクラッド層15としては、p型GaNよりなる層に代えて、p型Al_xGa_{1-x}In_yN (0 \leq X \leq 1, 0 \leq y \leq 1)よりなる層を用いてもよい。

【0060】また、第2の実施形態においては、サファイア基板10に代えてLiGaO₂等の酸化物基板、SiC基板、Si基板、GaAs基板又はGaP基板等を用いてもよい。

【0061】また、第2の実施形態においては、サファイア基板10における凹状部18の上側部分10aの大きさはp型電極16の大きさよりも若干大きい、これに代えて、図6に示すように、サファイア基板10における凹状部18の上側部分10aの大きさをp型電極16の大きさよりも小さくしてもよい。このようにすると、第2の実施形態と比較して、サファイア基板10に発生する貫通転位が減少するため、化合物半導体結晶層12に発生する貫通転位は増加するが、従来と比較すると、化合物半導体結晶層12に発生する貫通転位は大きく減少する。

【0062】さらに、第2の実施形態においては、サファイア基板10における凹状部18の上側部分10aの厚さは化合物半導体結晶層12の厚さよりも50 μ m小さかったが、これに限られず、サファイア基板10における凹状部18の上側部分10aの厚さが、化合物半導体結晶層12の厚さと同程度(化合物半導体結晶層12の厚さ \pm 10%)以下であれば、化合物半導体結晶層12に発生する貫通転位を減少させることができる。

【0063】以下、第2の実施形態に係る発光ダイオードの製造方法について図7(a)～(c)を参照しながら説明する。

【0064】まず、図7(a)に示すように、300 μ mの厚さを有するサファイア基板10の一の表面(下面)の周縁部に、ニッケル等の金属よりなり20 μ mの厚さを有するマスク19を真空蒸着法によって形成する。

【0065】次に、サファイア基板10をドライエッチング装置(不図示)内に投入する。その後、サファイア基板10の一の表面を、例えば水素ガスと塩化水素ガスとの混合ガスからなる圧力1 Torrのエッチングガス雰囲気中に曝すと共に、例えば600Vの放電電圧を印加することにより、図7(b)に示すように、サファイア基板10におけるマスク19に覆われていない部分をエッチングにより除去して50 μ mの厚さにする。

【0066】次に、サファイア基板10をドライエッチング装置から外部に取り出した後、マスク19を除去する。その後、サファイア基板10の他の表面(上面)に、MOCVD法により、アンドープGaNよりなる厚さ30nmのバッファ層11を形成した後、バッファ層11の上に、クロライドVPE成長法により、n型GaNよりなる厚さ100 μ mの化合物半導体結晶層12を

形成して、サファイア基板10、バッファ層11及び化合物半導体結晶層12よりなる発光ダイオードの基板Aを形成する。尚、バッファ層11を形成することなく、サファイア基板10及び化合物半導体結晶層12よりなる基板Aを形成してもよいのは当然である。

【0067】次に、化合物半導体結晶層12の上に、MOCVD法により、n型Ga_{0.8}Nよりなる厚さ2μmの第1のクラッド層13、アンドープIn_{0.2}Ga_{0.8}Nよりなる厚さ3nmの活性層14及びp型Ga_{0.8}Nよりなる厚さ1μmの第2のクラッド層15を順次形成して、第1のクラッド層13、活性層14及び第2のクラッド層15よりなる発光ダイオードの素子構造Bを形成した後、素子構造Bの側部を第1のクラッド層13を途中で達するまで部分的に除去する。その後、第2のクラッド層15の上に例えばニッケルを含む金属多層膜よりなるp型電極16を形成すると共に、第1のクラッド層13の上に例えばアルミニウムを含む金属多層膜よりなるn型電極17を形成すると、図7(c)に示すように、第2の実施形態に係る発光ダイオードが得られる。

【0068】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体素子としての発光ダイオードについて図8を参照しながら説明する。図8は第3の実施形態に係る発光ダイオードの断面構造を示している。

【0069】図8に示すように、300μmの厚さを有するn型GaAs基板20の上に、n型Ga_{0.8}Nよりなり30nmの膜厚を有するバッファ層21及びn型Ga_{0.8}Nよりなり100μmの膜厚を有する化合物半導体結晶層22が順次形成されており、n型GaAs基板20、バッファ層21及び化合物半導体結晶層22によって発光ダイオードの基板Aが構成されている。

【0070】化合物半導体結晶層22の上には、n型Ga_{0.8}Nよりなり2μmの膜厚を有する第1のクラッド層23、アンドープIn_{0.2}Ga_{0.8}Nよりなり3nmの膜厚を有する活性層24及びp型Ga_{0.8}Nよりなり1μmの膜厚を有する第2のクラッド層25が順次積層されており、第1のクラッド層23、活性層24及び第2のクラッド層25によって発光ダイオードの素子構造Bが構成されている。第2のクラッド層25の上にはp型電極26が形成されている。

【0071】第3の実施形態の特徴として、n型GaAs基板20におけるp型電極26と対向する領域には、台形状の断面を有すると共に250μmの深さを有する凹状部28が形成されており、n型GaAs基板20における凹状部28の上側部分20aの厚さは50μmである。この場合、n型GaAs基板20における凹状部28の上側部分20aの大きさはp型電極26の大きさよりも若干大きい。凹状部28の底面及び側面を含むn型GaAs基板20の下面にはn型電極27が形成されている。

【0072】第3の実施形態によると、n型GaAs基

板20における凹状部28の上側部分20aの厚さ(50μm)は化合物半導体結晶層22の厚さ(100μm)に比べて小さいため、n型GaAs基板20と化合物半導体結晶層22との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みはn型GaAs基板20にも負担されるので、n型GaAs基板20の内部に貫通転位が発生する。このため、化合物半導体結晶層22において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるため、化合物半導体結晶層22の内部に発生する貫通転位が減少する。

【0073】特に、第3の実施形態においては、n型GaAs基板20の硬度が素子構造Bの硬度よりも小さいため、化合物半導体結晶層22において格子定数及び熱膨張係数の相違に起因して生じる歪みが大きく緩和されるので、化合物半導体結晶層22の内部に発生する貫通転位は大きく減少する。

【0074】従って、第3の実施形態においては、化合物半導体結晶層22の結晶性については素子構造Bの結晶性が一層大きく向上するので、第3の実施形態に係る発光ダイオードの輝度及び寿命は従来の発光ダイオードに比べて一層大きく増大する。

【0075】第3の実施形態に係る発光ダイオードの断面を透過型電子顕微鏡により観察した結果、化合物半導体結晶層22に発生した貫通転位の数は $3 \times 10^5 \text{ cm}^{-2}$ であって、従来の発光ダイオードに比べて $1/30000$ に減少している。

【0076】また、第3の実施形態に係る発光ダイオードのピーク波長は450nm、輝度は6cd、室温で動作させたときの寿命は5万時間以上であって、従来の発光ダイオードに比べて2倍以上の輝度及び2倍以上の寿命であった。

【0077】尚、第3の実施形態においては、化合物半導体結晶層22及び第1のクラッド層23としては、n型Ga_{0.8}Nよりなる層に代えて、n型Al_xGa_{1-x}YIn_{1-y}N ($0 \leq x \leq 1, 0 \leq y \leq 1$)よりなる層を用いてもよいし、第2のクラッド層25としては、p型Ga_{0.8}Nよりなる層に代えて、p型Al_xGa_{1-x}YIn_{1-y}N ($0 \leq x \leq 1, 0 \leq y \leq 1$)よりなる層を用いてもよい。

【0078】また、第3の実施形態においては、n型GaAs基板20に代えて、p型GaAs基板、アンドープGaAs基板、高抵抗GaAs基板、GaPやInP等のIII-V族化合物半導体基板、Si基板、LiGaO₂等の酸化物基板、SiC基板又はMgO基板等を用いてもよい。

【0079】また、第3の実施形態においては、n型GaAs基板20における凹状部28の上側部分20aの大きさはp型電極26の大きさよりも若干大きい、これに代えて、n型GaAs基板20における凹状部28の上側部分20aの大きさをp型電極26の大きさより

も小さくしてもよい。このようにすると、第3の実施形態と比較して、n型GaAs基板20に発生する貫通転位が減少するため、化合物半導体結晶層22に発生する貫通転位は増加するが、従来と比較すると、化合物半導体結晶層22に発生する貫通転位は大きく減少する。

【0080】さらに、第3の実施形態においては、n型GaAs基板20における凹状部28の上側部分20aの厚さは化合物半導体結晶層22の厚さよりも50 μ m小さかったが、これに限られず、n型GaAs基板20における凹状部28の上側部分20aの厚さが、化合物半導体結晶層22の厚さと同程度（化合物半導体結晶層22の厚さ \pm 10%）以下であれば、化合物半導体結晶層22に発生する貫通転位を減少させることができる。

【0081】以下、第3の実施形態に係る発光ダイオードの製造方法について図9（a）～（c）を参照しながら説明する。

【0082】まず、図9（a）に示すように、300 μ mの厚さを有するn型GaAs基板20の一の表面（下面）の周縁部に、熱硬化性樹脂よりなるマスク29を形成する。

【0083】次に、n型GaAs基板20の一の表面を、例えば硫酸と過酸化水素水との混合溶液を用いてウェットエッチングすることにより、図9（b）に示すように、n型GaAs基板20におけるマスク29に覆われていない部分を除去して50 μ mの厚さにする。

【0084】次に、マスク29を除去した後、n型GaAs基板20の他の表面（上面）に、MOCVD法により、n型GaNよりなる厚さ30nmのバッファ層21を形成した後、バッファ層21の上に、クロライドVPE成長法により、n型GaNよりなる厚さ100 μ mの化合物半導体結晶層22を形成して、n型GaAs基板20、バッファ層21及び化合物半導体結晶層22よりなる発光ダイオードの基板Aを形成する。

【0085】次に、化合物半導体結晶層22の上に、MOCVD法により、n型GaNよりなる厚さ2 μ mの第1のクラッド層23、アンドープIn_{0.2}Ga_{0.8}Nよりなる厚さ3nmの活性層24及びp型GaNよりなる厚さ1 μ mの第2のクラッド層25を順次形成して、第1のクラッド層23、活性層24及び第2のクラッド層25よりなる発光ダイオードの素子構造Bを形成する。その後、第2のクラッド層25の上にp型電極26を形成すると共に、凹状部28の底面及び側面を含むn型GaAs基板20の下面に全面に亘ってn型電極27を形成すると、図9（c）に示すように、第3の実施形態に係る発光ダイオードが得られる。

【0086】第3の実施形態においては、n型GaAs基板20に対するエッチング工程及び素子構造Bの形成工程においてドライエッチングを用いていないため、発光ダイオードがドライエッチングにより受けるダメージがなくなるので、得られる発光ダイオードの特性を向上

させることができる。もっとも、発光ダイオードがエッチングにより受けるダメージを容認できる場合には、n型GaAs基板20に対するエッチング工程をドライエッチングによって行なってもよい。

【0087】尚、マスク29としては、エッチング液に対して耐溶解性であれば、フォトリソ、SiC₂、金属蒸着膜等を用いてもよく、また、エッチング液としては、n型GaAs基板20とマスク29とのエッチング選択比が確保できるならば、塩酸系、硝酸系、有機酸系等の酸系エッチング液を用いてもよい。

【0088】また、n型GaAs基板20に代えて、p型GaAs基板、アンドープGaAs基板、高抵抗GaAs基板又はIII-V族化合物半導体基板を用いる場合には、n型GaAs基板20と同様のエッチング工程を行なうことができる。Si基板を用いる場合には、エッチング溶液としては、弗酸を含む酸性溶液を用いることが好ましい。LiGaO₂等の酸化物基板又はSiC基板を用いる場合には、エッチング工程はドライエッチングにより行なうことが好ましい。MgO基板を用いる場合には、エッチング溶液としては、酸やアンモニウム塩水溶液を用いることが好ましい。

【0089】（第4の実施形態）以下、本発明の第4の実施形態に係る半導体素子としての発光ダイオードについて図10を参照しながら説明する。図10は第4の実施形態に係る発光ダイオードの断面構造を示している。

【0090】図10に示すように、第4の実施形態に係る発光ダイオードは、n型SiC層よりなり5 μ mの膜厚を有する基部30aと、該基部30aの下面の周縁部に一体化されたn型Si板よりなり250 μ mの高さを有する枠部30bとからなる複合基板30を備えている。これにより、複合基板30の下部には、台形状の断面を有すると共に250 μ mの深さを有する凹状部38が形成されており、複合基板30における凹状部38の上側部分の厚さは5 μ mである。

【0091】複合基板30の基部30aの上面には、n型GaNよりなり30nmの膜厚を有するバッファ層31及びn型GaNよりなり100 μ mの膜厚を有する化合物半導体結晶層32が形成されており、複合基板30、バッファ層31及び化合物半導体結晶層32によって発光ダイオードの基板Aが構成されている。

【0092】化合物半導体結晶層32の上には、n型GaNよりなり2 μ mの膜厚を有する第1のクラッド層33、アンドープIn_{0.2}Ga_{0.8}Nよりなり3nmの膜厚を有する活性層34及びp型GaNよりなり1 μ mの膜厚を有する第2のクラッド層35が順次形成されており、第1のクラッド層33、活性層34及び第2のクラッド層35によって発光ダイオードの素子構造Bが構成されている。第2のクラッド層35の上にはp型電極36が形成されていると共に、凹状部38の底面及び側面を含む複合基板30の下面にはn型電極37が形成され

ている。

【0093】第4の実施形態によると、複合基板30における凹状部38の上側部分となる基部30aの厚さ

(5 μm)は化合物半導体結晶層32の厚さ(100 μm)に比べて95 μm も小さくなっているため、複合基板30の基部30aと化合物半導体結晶層32との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みの多くは複合基板30の基部30aに負担されるので、複合基板30の基部30aの内部に多数の貫通転位が発生する。このため、化合物半導体結晶層32において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるため、化合物半導体結晶層32の内部に発生する貫通転位が減少するので、化合物半導体結晶層32の結晶性ひいては素子構造Bの結晶性が向上する。

【0094】第4の実施形態に係る発光ダイオードの断面を透過型電子顕微鏡により観察した結果、化合物半導体結晶層32に発生した貫通転位の数は $1 \times 10^6 \text{ cm}^{-2}$ であって、従来の発光ダイオードに比べて $1/1000$ に減少している。

【0095】また、第4の実施形態に係る発光ダイオードのピーク波長は450 nm、輝度は6 cd、室温で動作させたときの寿命は5万時間以上であって、従来の発光ダイオードに比べて2倍以上の輝度及び2倍以上の寿命であった。

【0096】尚、第4の実施形態においても、複合基板30の基部30aにおける凹状部38の上側に位置する部分の大きさはp型電極36の大きさよりも若干大きい、これに代えて、複合基板30の基部30aにおける凹状部38の上側に位置する部分の大きさをp型電極36の大きさよりも小さくしてもよい。このようにすると、第4の実施形態と比較して、複合基板30の基部30aに発生する貫通転位が減少するため、化合物半導体結晶層32に発生する貫通転位は増加するが、従来と比較すると、化合物半導体結晶層32に発生する貫通転位は大きく減少する。

【0097】また、複合基板30の基部30aと枠部30bとの組み合わせとしては、n型SiC層とn型Si板との組み合わせに代えて、ZnO結晶層とSi板との組み合わせ、MgO結晶層とSi板との組み合わせ、又は単数若しくは複数の AlzGal-zAs ($0 \leq z \leq 1$)結晶層とGaAs結晶基板との組み合わせを用いてもよい。

【0098】また、第4の実施形態においては、化合物半導体結晶層32及び第1のクラッド層33としては、n型GaNよりなる層に代えて、n型 $\text{AlxGayIn}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)よりなる層を用いてもよいし、第2のクラッド層35としては、p型GaNよりなる層に代えて、p型 $\text{AlxGayIn}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)よりなる層を用いてもよい。

【0099】以下、第4の実施形態に係る発光ダイオードの製造方法について図11(a)～(c)を参照しながら説明する。

【0100】まず、図11(a)に示すように、厚さ250 μm のn型Si板30cの上に、n型SiC層よりなる基部30aを気相成長法により例えば5 μm の膜厚に成長させた後、n型Si板30cの一の表面(下面)の周縁部にマスク39を形成する。

【0101】次に、基部30aの全部とn型Si板30cにおけるマスク39に覆われている部分とを残す一方、n型Si板30cにおけるマスク39に覆われていない部分を除去する選択的エッチングを行なって、図11(b)に示すように、n型SiC層よりなり5 μm の膜厚を有する基部30aと、該基部30aの下面の周縁部に一体化されたn型Si板よりなり250 μm の高さを有する枠部30bとからなる複合基板30を形成する。

【0102】次に、マスク39を除去した後、複合基板30の上面に、MOCVD法により、n型GaNよりなる厚さ30 nmのバッファ層31を形成した後、バッファ層31の上に、クロライドVPE成長法により、n型GaNよりなる厚さ100 μm の化合物半導体結晶層32を形成して、複合基板30、バッファ層31及び化合物半導体結晶層32よりなる発光ダイオードの基板Aを形成する。

【0103】次に、化合物半導体結晶層32の上に、MOCVD法により、n型GaNよりなる厚さ2 μm の第1のクラッド層33、アンドープIn_{0.2}Ga_{0.8}Nよりなり厚さ3 nmの活性層34及びp型GaNよりなる厚さ1 μm の第2のクラッド層35を順次形成して、第1のクラッド層33、活性層34及び第2のクラッド層35よりなる発光ダイオードの素子構造Bを形成する。その後、第2のクラッド層35の上にp型電極36を形成すると共に、凹状部38の底面及び側面を含む複合基板30の下面に全面に亘ってn型電極37を形成すると、図11(c)に示すように、第4の実施形態に係る発光ダイオードが得られる。

【0104】第4の実施形態によると、n型Si板30cにおけるマスク39に覆われていない部分のみを除去する選択的エッチングを行なって、基部30aと該基部30aの下面の周縁部に一体化された枠部30bとからなる複合基板30を形成するため、下部に250 μm の深さの凹状部38を有すると共に該凹状部38の上側部分の厚さが5 μm である複合基板30を再現性良く製作することができる。

【0105】尚、第4の実施形態においては、n型Si板30cにおけるマスク39に覆われていない部分を全て除去したが、これに代えて、n型Si板30cにおけるマスク39に覆われていない部分を一部残してもよい。この場合には、n型SiC層よりなる基部30aの

厚さとn型Si板30cにおける残存する部分の厚さとの合計厚さが、第1のクラッド層33の膜厚と同程度以下であればよい。

【0106】(第5の実施形態)以下、本発明の第5の実施形態に係る半導体素子としての半導体レーザ素子について図12を参照しながら説明する。図12は第5の実施形態に係る半導体レーザ素子の断面構造を示している。

【0107】図12に示すように、第5の実施形態に係る半導体レーザ素子は、n型SiC層よりなる基部40aと、該基部40aの下面の両側部に一体化されたn型Si板よりなる側部40bとからなる複合基板40を備えている。これにより、複合基板40の下部には台形状の断面を有する凹状溝49が形成されている。複合基板40の基部40aの上面には、n型GaNよりなるバッファ層41及びn型GaNよりなる化合物半導体結晶層42が順次形成されており、複合基板40、バッファ層41及び化合物半導体結晶層42によって半導体レーザ素子の基板Aが構成されている。

【0108】化合物半導体結晶層42の上には、n型AlGaNよりなる第1のクラッド層44、アンドープ活性層45、ストライプ状の窓部46aを有するn型AlGaNよりなる電流ブロック層46が順次形成されている。また、電流ブロック46の上にはストライプ状の窓部46aを埋めるようにp型AlGaNよりなる第2のクラッド層47が形成され、該第2のクラッド層47の上にはp型GaNよりなるコンタクト層48が形成されている。アンドープ活性層45はIn_{0.08}Ga_{0.92}NとIn_{0.15}Ga_{0.85}Nとが交互に積層された多重量子井戸構造を有している。コンタクト層48の上にはp型電極51が形成されていると共に、凹状溝49の底面及び側面を含む複合基板40の下面にはn型電極52が形成されている。

【0109】第5の実施形態の特徴として、複合基板40における凹状溝49の上側部分となる基部40aの厚さは化合物半導体結晶層42の厚さと同程度以下である。また、半導体レーザ素子においては、光は電流ブロック層46のストライプ状の窓部46aに沿って導波するため、複合基板40の下部には台形状の断面を有する凹状溝49が形成されており、複合基板40の基部40aにおける凹状溝49の上側部分の幅寸法はストライプ状の窓部46aの幅寸法よりも大きい。

【0110】このため、複合基板40の基部40aと化合物半導体結晶層42との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みの多くは複合基板40の基部40aに負担されるので、複合基板40の基部40aの内部に多数の貫通転位が発生する。このため、化合物半導体結晶層42において格子定数及び熱膨張係数の相違に起因して生じる歪みが大きく緩和されるため、化合物半導体結晶層42の内部に発生する貫通転位

が減少するので、化合物半導体結晶層42の結晶性、ひいては第1のクラッド層44、アンドープ活性層45、電流ブロック層46、第2のクラッド層47及びコンタクト層48からなる素子構造Bの結晶性が向上する。

【0111】尚、第5の実施形態においては、内部ストライプ型の半導体レーザ素子であったが、これに代えて、リッジ型の半導体レーザ素子のように、他の導波機構を有する半導体レーザ素子であってもよい。

【0112】また、第5の実施形態においては、アンドープ活性層45はIn_{0.08}Ga_{0.92}NとIn_{0.15}Ga_{0.85}Nとが交互に積層された多重量子井戸構造を有しているが、これに代えて、単層のInGaNよりなる活性層であってもよいし、GaNとInGaNとが交互に積層された多重量子井戸構造を有する活性層であってもよい。

【0113】以下、第5の実施形態に係る半導体レーザ素子の製造方法について説明する。第5の実施形態に係る半導体レーザ素子の製造方法は、基本的には第4の実施形態に係る発光ダイオードの製造方法と共通しているので、図12を参照しながら説明する。

【0114】まず、n型Si板の上にn型SiC層よりなる基部を気相成長法により成長させた後、n型Si板の一面の表面の両側部にマスクを形成する。次に、基部の全部とn型Si板におけるマスクに覆われている部分とを残す一方、n型Si板におけるマスクに覆われていない部分を除去する選択的エッチングを行なって、基部40aと、該基部40aの下面に一体化された両側部40bとからなる複合基板40を形成する。

【0115】次に、複合基板40の他の表面に、MOCVD法により、n型GaNよりなるバッファ層41を形成した後、バッファ層41の上に、クロライドVPE成長法により、n型GaNよりなる化合物半導体結晶層42を形成して、複合基板40、バッファ層41及び化合物半導体結晶層42よりなる半導体レーザ素子の基板Aを形成する。

【0116】次に、化合物半導体結晶層42の上に、MOCVD法により、n型AlGaNよりなる第1のクラッド層44、アンドープ活性層45及びn型AlGaNよりなる電流ブロック層46を形成した後、ドライエッチングを用いて、電流ブロック層46にストライプ状の窓部46aを形成する。その後、電流ブロック層46の上に、MOCVD法により、p型AlGaNよりなる第2のクラッド層47及びp型GaNよりなるコンタクト層48を順次形成して、素子構造Bを形成した後、蒸着法により、コンタクト層48の上にp型電極51を形成すると共に、凹状溝49の底面及び側面を含む複合基板40の下面にn型電極52を形成すると、第5の実施形態に係る半導体レーザ素子が得られる。

【0117】(第6の実施形態)以下、本発明の第6の実施形態に係る半導体素子としての発光ダイオードにつ

いて図13を参照しながら説明する。図13は、第6の実施形態に係る発光ダイオードの断面構造を示している。

【0118】図13に示すように、 $50\mu\text{m}$ の厚さを有するサファイア基板60の上に、アンドープGaNよりなり 30nm の膜厚を有するバッファ層61及びn型GaNよりなり $100\mu\text{m}$ の膜厚を有する化合物半導体結晶層62が形成されており、サファイア基板60、バッファ層61及び化合物半導体結晶層62によって発光ダイオードの基板Aが構成されている。

【0119】化合物半導体結晶層62の上には、n型GaNよりなり $2\mu\text{m}$ の膜厚を有する第1のクラッド層63、アンドープIn $0.2\text{Ga}0.8\text{N}$ よりなり 3nm の膜厚を有する活性層64及びp型GaNよりなり $1\mu\text{m}$ の膜厚を有する第2のクラッド層65が順次形成されており、第1のクラッド層63、活性層64及び第2のクラッド層65によって発光ダイオードの素子構造Bが構成されている。素子構造Bは第1のクラッド層63の途中に達するまで部分的に除去されている。

【0120】第2のクラッド層65の上にはp型電極66が形成されていると共に、第1のクラッド層63の上にはn型電極67が形成されている。

【0121】第6の実施形態によると、サファイア基板60の厚さは化合物半導体結晶層62の厚さに比べて $50\mu\text{m}$ 小さくなっているため、サファイア基板60と化合物半導体結晶層62との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みはサファイア基板60にも負担されるので、サファイア基板60の内部に貫通転位が発生する。このため、化合物半導体結晶層62において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるため、化合物半導体結晶層62の内部に発生する貫通転位が減少するので、化合物半導体結晶層62の結晶性ひいては素子構造Bの結晶性が向上する。

【0122】以下、第6の実施形態に係る発光ダイオードの製造方法について、図14(a)～(c)を参照しながら説明する。

【0123】まず、図14(a)に示すように、例えば $300\mu\text{m}$ の膜厚を有するウエハ状のサファイア基板60の下面の周縁部にマスク69を形成した後、図14(b)に示すように、サファイア基板60におけるマスク69に覆われていない部分をエッチングにより除去して凹状部68を形成すると共に、サファイア基板60における凹状部68の上側部分を $50\mu\text{m}$ の厚さにする。

【0124】次に、図14(c)に示すように、サファイア基板60の上面にMOCVD法により、アンドープGaNよりなるバッファ層61を形成した後、バッファ層61の上に、クロライドVPE成長法により、n型GaNよりなる厚さ $100\mu\text{m}$ の化合物半導体結晶層62を形成して、サファイア基板60、バッファ層61及び

化合物半導体結晶層62よりなる発光ダイオードの基板Aを形成する。

【0125】次に、化合物半導体結晶層62の上に、MOCVD法により、n型GaNよりなる第1のクラッド層63、アンドープIn $0.2\text{Ga}0.8\text{N}$ よりなる活性層64及びp型GaNよりなる第2のクラッド層65が順次形成して、第1のクラッド層63、活性層64及び第2のクラッド層65よりなる発光ダイオードの素子構造Bを形成する。その後、蒸着法により、第2のクラッド層65の上にp型電極66を形成すると共に第1のクラッド層63の上にn型電極67を形成する。その後、基板Aの素子形成領域を切断すると、第6の実施形態に係る発光ダイオードが得られる。

【0126】尚、第1～第6の実施形態においては、窒化物系化合物半導体結晶層をMOCVD法、又は成長速度が大きくて成長膜の結晶性が確保できるクロライドVPE成長法により形成したが、これに代えて、昇華法、分子線エピタキシー法又は液相エピタキシー法等を用いてもよい。

【0127】また、第2～第6の実施形態においては、基板Aに対して、 760Torr の窒素雰囲気中にて 600°C の熱処理を施してもよい。このようにすると、熱処理は結晶中の貫通転位を移動させる効果を有しているため、化合物半導体結晶層12、62、22、32、42に発生している貫通転位を、サファイア基板10、60、n型GaAs基板20又は複合基板30、40の基部30a、40aに移動させることができる。このため、基板Aにおける貫通転位を一層減少させることができるので、素子構造Bにおける貫通転位を一層減少させることができる。

【0128】熱処理の下限温度としては 250°C 以上が好ましい。 250°C 以上の熱処理を行なうと、結晶中の貫通転位を移動させることができる。

【0129】熱処理の上限温度は、基板によって異なり、GaAs基板のように高温で解離する基板の場合には 800°C 以下が好ましく、LiGaC₂等の窒化物基板又はSiC基板の場合には解離温度が高いので 800°C 以上でもよい。

【0130】熱処理の雰囲気ガスとしては、基板の熱解離が起こらない温度下の熱処理の場合にはアルゴンや窒素等の不活性ガスを用いればよく、基板の熱解離が起こるような高温下の熱処理の場合にはアルシニングガスのように基板の構成元素を含むガスを用いればよい。

【0131】また、第2～第6の実施形態は、窒化物系化合物半導体を有する半導体素子であったが、窒化物系化合物半導体に代えて、SiC等のIV-IV族化合物半導体又はZnS、ZnSe等のII-VI族化合物半導体を有する半導体素子にも適用できる。

【0132】さらに、第2～第4及び第6の実施形態は発光ダイオードであり、第5の実施形態は半導体レーザ

素子であったが、本発明の各実施形態は、化合物半導体を有する半導体素子であれば、電界効果トランジスタ等にも適用することができる。

【0133】

【発明の効果】本発明の半導体基板によると、ウェハ状の板状結晶の下面に、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備えているため、本発明の半導体基板の各素子形成領域の上に素子構造を形成すると、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下であって化合物半導体結晶層の内部に発生する貫通転位が減少する半導体素子を確実に製造することができる。

【0134】本発明の半導体基板の製造方法によると、ウェハ状の板状結晶の下面に、凹部を、板状結晶における各素子形成領域の厚さが全面に亘って化合物半導体結晶層の厚さと同程度以下になるように形成する工程を備えているため、本発明の半導体基板の製造方法によって得られた半導体基板の各素子形成領域の上に素子構造を形成すると、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下であって、化合物半導体結晶層の内部に発生する貫通転位が減少する半導体素子を確実に製造することができる。

【0135】本発明の半導体基板の製造方法が、結晶層形成工程の後に、板状結晶を除去する板状結晶除去工程を備えていると、板状結晶を有しない半導体基板を得ることができるため、板状結晶と化合物半導体結晶層との間の格子定数の相違及び熱膨張率の相違の問題が存在しなくなるので、化合物半導体層ひいては該化合物半導体層の上に形成される素子構造の結晶性が大きく向上する。

【0136】第1の半導体素子によると、板状結晶と化合物半導体結晶層との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みは板状結晶にも負担され、板状結晶の内部に貫通転位が発生するため、化合物半導体結晶層において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるので、化合物半導体結晶層の内部に発生する貫通転位が減少する。このため、化合物半導体結晶層ひいては該化合物半導体結晶層の上に形成される素子構造の結晶性が向上するので、該素子構造よりなる機能素子の特性及び寿命が向上する。

【0137】また、第1の半導体素子によると、板状結晶の下面に板状結晶の中央部の厚さが化合物半導体結晶層の厚さと同程度以下になるように凹部を設けたため、基板の周縁部の厚さとしては従来と同程度の厚さを確保できるので、半導体素子の強度の確保と化合物半導体結晶層の結晶性の向上との両立を図ることができる。

【0138】第1の半導体素子が電圧印加用の電極を備えている場合に、凹部の底面が電極よりも大きいならば、化合物半導体結晶層ひいては該化合物半導体結晶層の上に形成される素子構造における電圧が印加される部

分の結晶性が向上するので、素子構造よりなる発光素子等の機能素子の特性及び寿命が確実に向上する。

【0139】第1の半導体素子において、板状結晶が、結晶層よりなる平板状の基部と、基部の下面の周縁部に形成され基部に対してエッチング選択性を有する材料よりなる枠状部とからなると、基部に対してエッチング選択性を有する材料よりなる板状体の上に結晶層よりなる平板状の基部を形成した後、板状体の下部の中央部を選択的にエッチングすることによって、板状結晶の下面に確実に凹部を設けることができる。

【0140】第1の半導体素子において、板状結晶が、結晶層よりなる平板状の基部と、基部の下面の両側部に形成され基部に対してエッチング選択性を有する材料よりなる側部とからなると、基部に対してエッチング選択性を有する材料よりなる板状体の上に結晶層よりなる平板状の基部を形成した後、板状体の下部の中央部を選択的にエッチングすることによって、板状結晶の下面に確実に凹部を設けることができる。

【0141】本発明に係る第2の半導体素子によると、板状結晶と化合物半導体結晶層との間の格子定数の相違及び熱膨張係数の相違に起因して生じる歪みは板状結晶にも負担され、板状結晶の内部に貫通転位が発生するため、化合物半導体結晶層において格子定数及び熱膨張係数の相違に起因して生じる歪みが緩和されるので、化合物半導体結晶層の内部に発生する貫通転位が減少する。このため、化合物半導体結晶層ひいては該化合物半導体結晶層の上に形成される素子構造の結晶性が向上するので、該素子構造よりなる機能素子の特性及び寿命が向上する。

【0142】第1の半導体素子の製造方法によると、板状結晶の各素子形成領域の下面に、各素子形成領域の中央部の厚さが板状結晶の上側に形成される化合物半導体結晶層の厚さと同程度以下になるように凹部を形成した後、板状結晶の上側に化合物半導体結晶層を形成するため、板状結晶の下面に板状結晶の中央部の厚さが化合物半導体結晶層の厚さと同程度以下になるように形成された凹部を備え、化合物半導体結晶層の結晶性が向上した第1の半導体素子を確実に製造することができる。

【0143】第1の半導体素子の製造方法において、凹部形成工程が、板状体の上に板状体に対してエッチング選択性を有する結晶層よりなる平板状の基部を形成した後、板状体に対して板状体の周縁部が残存するように選択的エッチングを行なう工程を含むと、基部に対してエッチング選択性を有する板状体に対してエッチングを行なって板状体の周縁部を残存させることができるので、基部の下面に板状体よりなる枠状部を確実に形成することができる。

【0144】第1の半導体素子の製造方法において、凹部形成工程が、板状体の上に板状体に対してエッチング選択性を有する結晶層よりなる平板状の基部を形成した

後、板状体に対して板状体の両側部が残存するように選択的エッチングを行なう工程を含むと、基部に対してエッチング選択性を有する板状体に対してエッチングを行なって板状体の両側部を残存させることができるので、基部の下面に板状体よりなる側部を確実に形成することができる。

【0145】第1の半導体素子の製造方法が、結晶層形成工程の後に化合物半導体結晶層に対して熱処理を行なう工程を備えていると、化合物半導体結晶層に形成されている貫通転位を板状結晶に移動させることができるため、化合物半導体結晶層に形成されている貫通転位を一層減少できるので、化合物半導体結晶層の結晶性を一層向上させることができる。

【0146】第2の半導体素子の製造方法によると、板状結晶の下面に、板状結晶における各素子形成領域の厚さが全面に亘って板状結晶の上側に形成される化合物半導体結晶層の厚さと同程度以下になるように凹部を形成した後、板状結晶の上側に化合物半導体結晶層を形成するため、板状結晶の厚さが化合物半導体結晶層の厚さと同程度以下であり、化合物半導体結晶層の結晶性が向上した第2の半導体素子を確実に製造することができる。

【0147】第2の半導体素子の製造方法が、結晶層形成工程と切断工程との間に化合物半導体結晶層に対して熱処理を行なう工程を備えていると、化合物半導体結晶層に形成されている貫通転位を板状結晶に移動させることができるため、化合物半導体結晶層に形成されている貫通転位を一層減少できるので、化合物半導体結晶層の結晶性を一層向上させることができる。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の第1の実施形態に係る半導体基板の製造方法の各工程を示す断面図である。

【図2】(a)及び(b)は本発明の第1の実施形態に係る半導体基板の製造方法の各工程を示す断面図である。

【図3】(a)及び(b)は本発明の第1の実施形態に係る半導体基板の製造方法の一工程を示す底面図である。

【図4】(a)及び(b)は本発明の第1の実施形態に係る発光ダイオードを示し、(a)は断面図であって、(b)は底面図である。

【図5】本発明の第2の実施形態に係る発光ダイオードの断面を透過型電子顕微鏡により観察した結果を示す図である。

【図6】本発明の第2の実施形態の変形例に係る発光ダイオードの断面図である。

【図7】(a)～(c)は本発明の第2の実施形態に係る発光ダイオードの製造方法の各工程を示す断面図である。

【図8】本発明の第3の実施形態に係る発光ダイオードを示す断面図である。

【図9】(a)～(c)は本発明の第3の実施形態に係る発光ダイオードの製造方法の各工程を示す断面図である。

【図10】本発明の第4の実施形態に係る発光ダイオードを示す断面図である。

【図11】(a)～(c)は本発明の第4の実施形態に係る発光ダイオードの製造方法の各工程を示す断面図である。

【図12】本発明の第5の実施形態に係る半導体レーザ素子を示す断面図である。

【図13】本発明の第6の実施形態に係る発光ダイオードを示す断面図である。

【図14】(a)～(c)は本発明の第6の実施形態に係る発光ダイオードの製造方法の各工程を示す断面図である。

【図15】従来の発光ダイオードを示す断面図である。

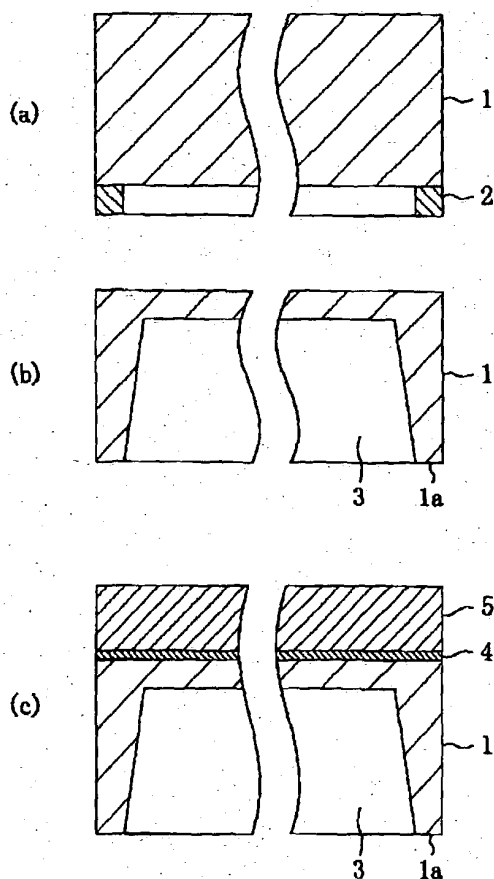
【符号の説明】

- A 基板
- B 素子構造
- 1 サファイア基板
- 1a 凸状部
- 1b 素子形成領域
- 2 マスク
- 3 凹状部
- 4 バッファ層
- 5 化合物半導体結晶層
- 6 第1のクラッド層
- 7 活性層
- 8 第2のクラッド層
- 10 サファイア基板
- 10a 凹状部の上側部分
- 11 バッファ層
- 12 化合物半導体結晶層
- 13 第1のクラッド層
- 14 活性層
- 15 第2のクラッド層
- 16 p型電極
- 17 n型電極
- 18 凹状部
- 19 マスク
- 20 n型GaAs基板
- 21 バッファ層
- 22 化合物半導体結晶層
- 23 第1のクラッド層
- 24 活性層
- 25 第2のクラッド層
- 26 p型電極
- 27 n型電極
- 28 凹状部
- 29 マスク

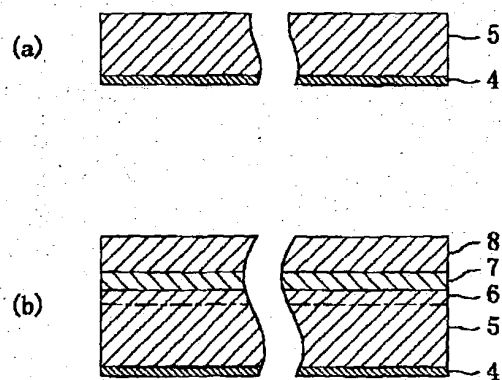
- 30 複合基板
- 30a 基部
- 30b 枠部
- 30c n型Si板
- 31 バッファ層
- 32 化合物半導体結晶層
- 33 第1のクラッド層
- 34 活性層
- 35 第2のクラッド層
- 36 p型電極
- 37 n型電極
- 38 凹状部
- 39 マスク
- 40 複合基板
- 40a 基部
- 40b 側部
- 41 バッファ層
- 42 化合物半導体結晶層
- 44 第1のクラッド層

- 45 アンドープ活性層
- 46 電流ブロック層
- 46a ストライプ状の窓部
- 47 第2のクラッド層
- 48 コンタクト層
- 49 凹状部
- 51 p型電極
- 52 n型電極
- 60 サファイア基板
- 61 バッファ層
- 62 化合物半導体結晶層
- 63 第1のクラッド層
- 64 活性層
- 65 第2のクラッド層
- 66 p型電極
- 67 n型電極
- 68 凹状部
- 69 マスク

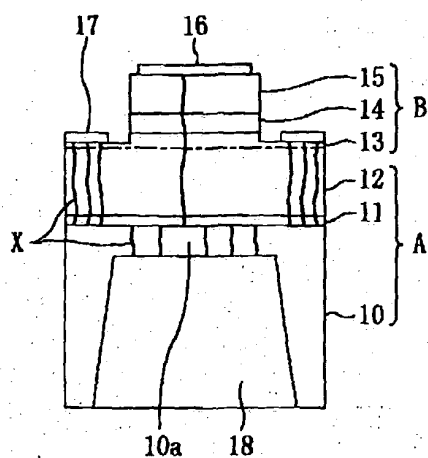
【図1】



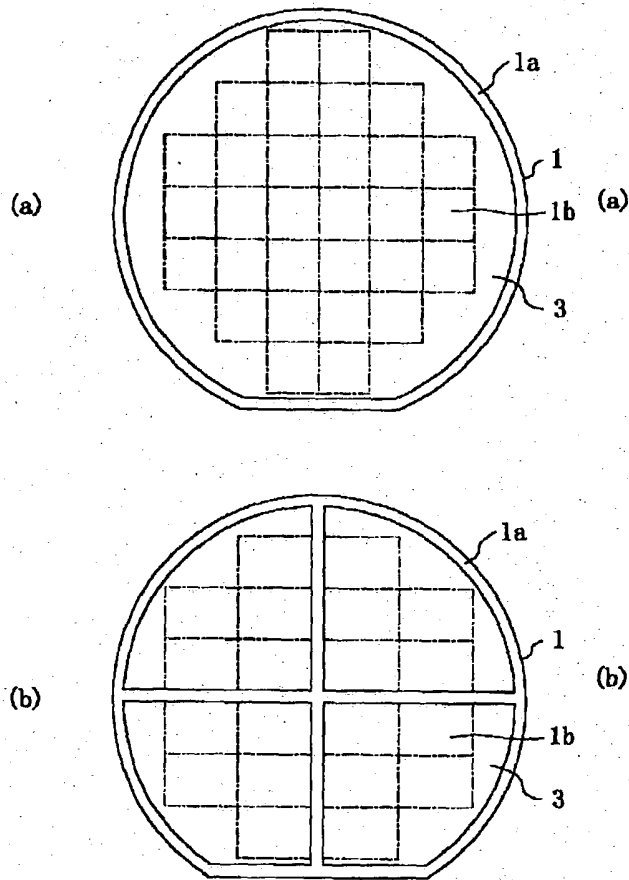
【図2】



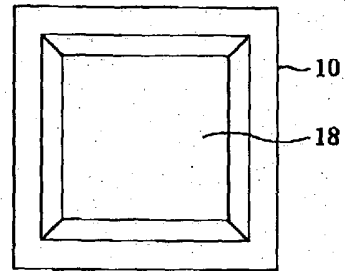
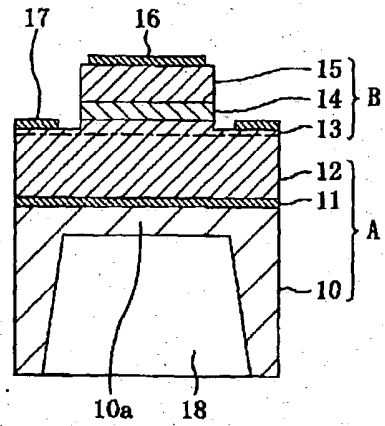
【図5】



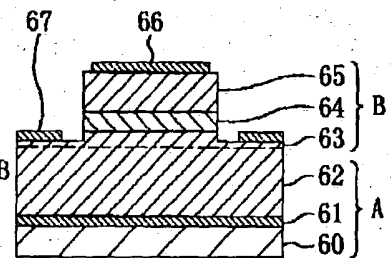
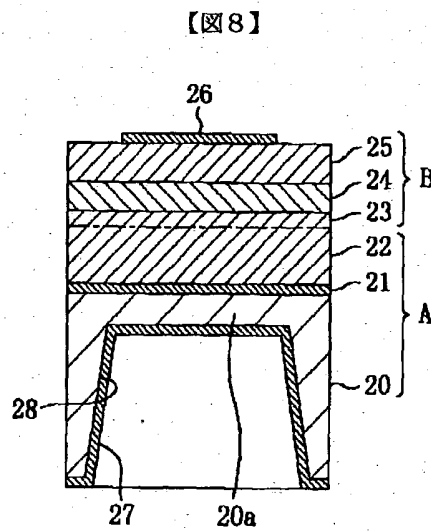
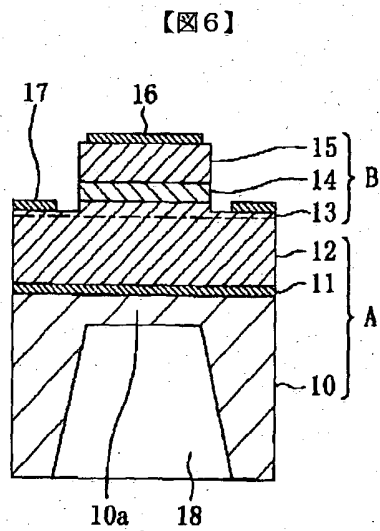
【図3】



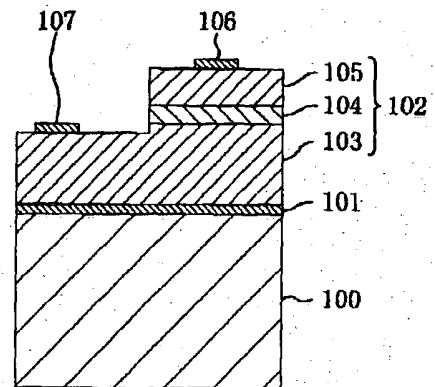
【図4】



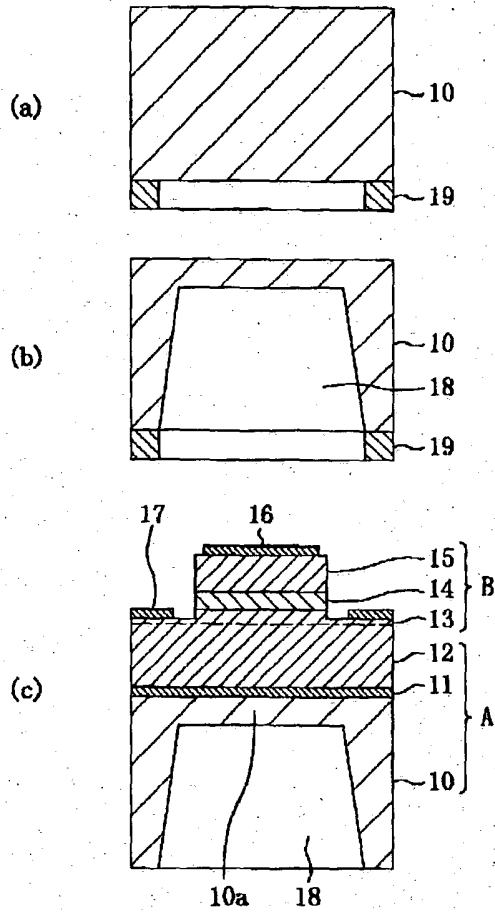
【図13】



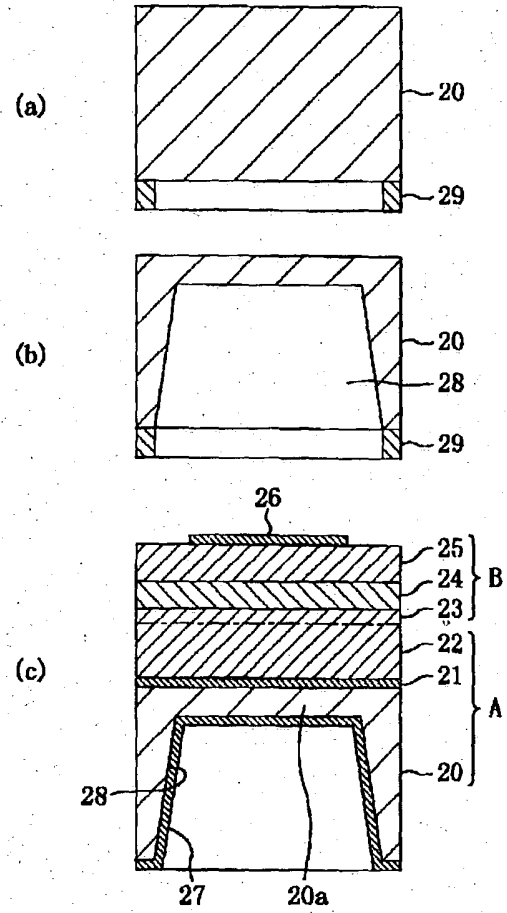
【図15】



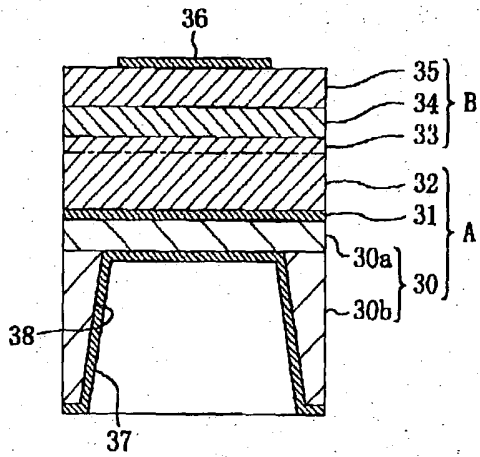
【図7】



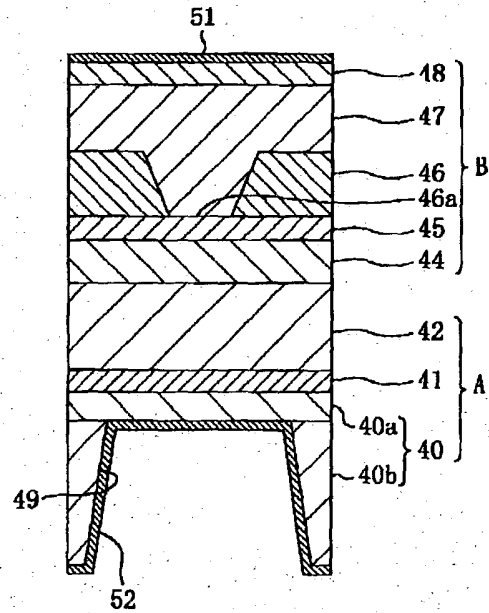
【図9】



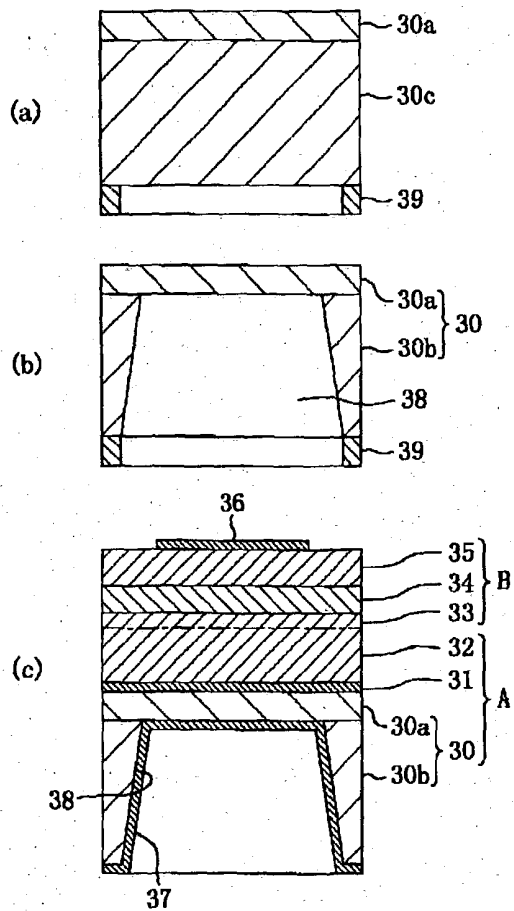
【図10】



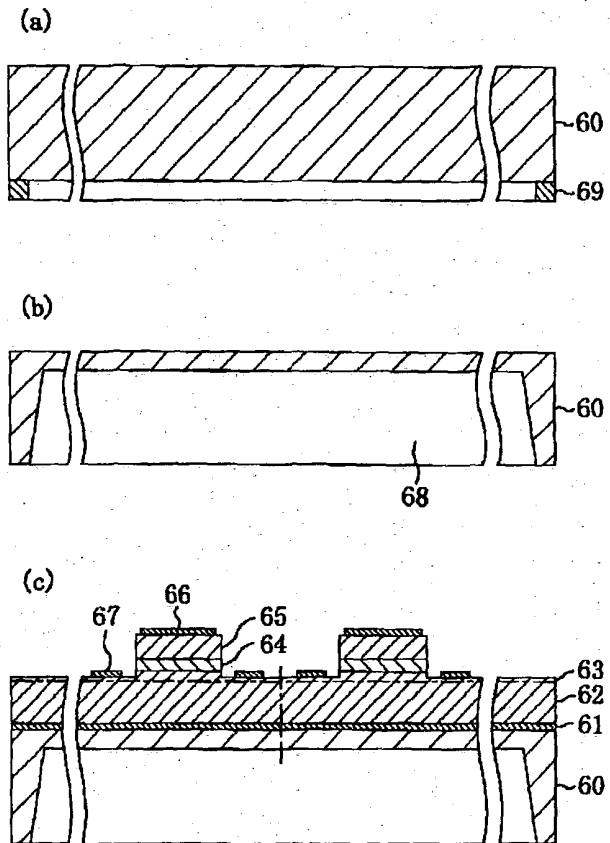
【図12】



【図11】



【図14】



フロントページの続き

(72)発明者 石田 昌宏
大阪府高槻市幸町1番1号 松下電子工業
株式会社内